

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

Unexamined Japanese Patent Publication No. 08-241891

Publication Date: September 17, 1996
Filing Date: March 1, 1995
Application Number: 07-42154
Applicant: Industrial Engineering
Research Institution
Incorporated Foundation.

Title of the Invention: Method for Improving Spin-on-
glass layer on substrate

Abstract:

This publication is directed to a method including a step of injecting a fluorine ion into a spin-on-glass (SOG) layer (24) to form a modified SOG layer, as shown in Fig.2. This fluorine implant treating is generally referred as via poisoning, which prevents water gas from generating at via holes. This enhances reliability of multi-metallic materials. Furthermore, the modified SOG has advantages, such as low compressive stress, low wet etching speed in buffered hydrofluoric acid ambient, and via yielding.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-241891

(43) 公開日 平成8年(1996)9月17日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/316			H 0 1 L 21/316	G
21/265			21/265	Y

審査請求 未請求 請求項の数19 O L (全 8 頁)

(21) 出願番号 特願平7-42154

(22) 出願日 平成7年(1995)3月1日

(31) 優先権主張番号 2 5 9 3 8 1

(32) 優先日 1994年6月13日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390023582

財団法人工業技術研究院

台湾新竹縣竹東鎮中興路四段195號

(72) 発明者 陳 來 助

台湾新竹市明湖路400巷3弄3號

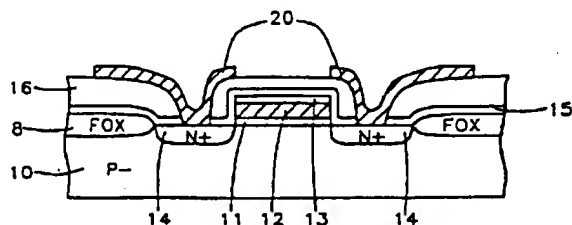
(74) 代理人 弁理士 湯浅 恭三 (外6名)

(54) 【発明の名称】 基板上的スピナーオンーガラス層の改良方法

(57) 【要約】

【目的】 半導体回路上誘電体のスピナーオンーガラスのフッ素注入処理方法を提供すること。

【構成】 スピナーオンーガラス中にフッ素イオンを注入することによって改良スピナーオンーガラス (S O G) を形成する。このフッ素インプラント処理スピナーオンーガラス (F I T S O G) は、一般にパイアポイズニングと呼ばれる、パイアからの水分のガス発生を解消する。これはマルチ金属材料の信頼性を非常に改良する。S O Gの他の改良には、低い圧縮応力、緩衝化フッ化水素酸中での低い湿式エッチング速度及び良好なパイア降伏がある。



1

【特許請求の範囲】

【請求項1】 上部に集積回路を有する基板上のスピナーオンーガラス層をイオン注入を用いて改良する方法において、次の工程：前記基板上に前記スピナーオンーガラス層を被覆し、焼成して、溶媒を除去する工程と；前記イオン注入を用いて、前記スピナーオンーガラス層にイオンを注入する工程と；前記スピナーオンーガラス層を硬化させて、前記改良スピナーオンーガラス層形成を完成させ、それによって前記スピナーオンーガラス層からガスを放出させ、他の改良された物理的及び電気的性質を与える工程とを含む前記方法。

【請求項2】 約1800～2200Åの厚さを有する前記被覆層を2回被覆することによって、前記スピナーオンーガラス層を形成する請求項1記載の方法。

【請求項3】 前記スピナーオンーガラス層を溶媒中のシロキサンポリマーから形成する請求項2記載の方法。

【請求項4】 前記注入イオンがフッ素(F⁺)である請求項1記載の方法。

【請求項5】 前記注入イオンのエネルギーが約40～80KeVである請求項4記載の方法。

【請求項6】 前記イオンインプラントの量が約 $3 \times 10^{15} \sim 5 \times 10^{15}$ イオン/cm²である請求項4記載の方法。

【請求項7】 前記焼成を約100℃～300℃の温度において約1～2分間実施する請求項1記載の方法。

【請求項8】 前記硬化を約350℃～450℃の温度において約20～40分間実施する請求項1記載の方法。

【請求項9】 プレーナ化金属酸化物-半導体電界効果形トランジスタ(MOSFET)多層状金属構造を有する基板上に改良スピナーオンーガラス層を形成する方法において、次の工程：半導体基板内及び上にMOSFET半導体構造を形成する工程と；前記MOSFET構造の活性要素を接触させるためのパターン化導電層を形成する工程と；前記パターン化導電層上に絶縁層を形成する工程と；前記基板上の前記絶縁層と充填溝との上にスピナーオンーガラス層を被覆し、それによってプレーナ効果を生じさせる工程と；選択した原子種のイオンを注入し、それによって前記スピナーオンーガラスの物理的及び電気的性質を改良する工程と；前記スピナーオンーガラス層を高温において硬化させる工程と；前記注入硬化スピナーオンーガラス層上に絶縁層を付着させる工程と；前記絶縁体と前記スピナーオンーガラスとに前記パターン化導電層までの孔を形成する工程と；前記絶縁層上と前記孔中とに第2導電層を付着させて、前記パターン化導電層に接触させ、前記プレーナ化MOSFET多層状金属構造を完成させる工程とを含む前記方法。

【請求項10】 前記イオンが約 $3 \times 10^{15} \sim 5 \times 10^{15}$ 原子/cm²のインプラント量を有するフッ素イオンである請求項9記載の方法。

【請求項11】 前記イオンが40～80KeVのイン

2

プラントエネルギーを有する請求項9記載の方法。

【請求項12】 前記スピナーオンーガラス層が2被覆層であり、約3600～4400Åの全体厚さを有する請求項9記載の方法。

【請求項13】 前記スピナーオンーガラスが少なくとも部分的にシロキサンから構成される請求項9記載の方法。

【請求項14】 前記選択した原子種がフッ素である請求項記載の方法。

【請求項15】 プレーナ化金属酸化物-半導体電界効果形トランジスタ(MOSFET)多層状金属構造を有する基板上に改良スピナーオンーガラス層を形成する方法において、次の工程：半導体基板内及び上にMOSFET半導体構造を形成する工程と；前記MOSFET構造の活性要素を接触させるためのパターン化導電層を形成する工程と；前記パターン化導電層上に絶縁層を形成する工程と；前記基板上の前記絶縁層と充填溝との上にスピナーオンーガラス層を被覆し、それによってプレーナ効果を生じさせる工程と；前記スピナーオンーガラスにフッ素イオンを注入し、それによって前記スピナーオンーガラスの物理的及び電気的性質を改良する工程と；前記スピナーオンーガラス層を高温において硬化させる工程と；前記注入硬化スピナーオンーガラス層上に絶縁層を付着させる工程と；前記絶縁体と前記スピナーオンーガラスとに前記パターン化導電層までの孔を形成する工程と；前記絶縁層上と前記孔中とに第2導電層を付着させて、前記パターン化導電層に接触させ、前記プレーナ化MOSFET多層状金属構造を完成させる工程とを含む前記方法。

【請求項16】 前記イオンが約 $3 \times 10^{15} \sim 5 \times 10^{15}$ 原子/cm²のインプラント量を有するフッ素イオンである請求項9記載の方法。

【請求項17】 前記イオンが40～80KeVのインプラントエネルギーを有する請求項15記載の方法。

【請求項18】 前記スピナーオンーガラス層が2被覆層であり、約3600～4400Åの全体厚さを有する請求項15記載の方法。

【請求項19】 前記スピナーオンーガラスが少なくとも部分的にシロキサンから構成される請求項15記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は集積回路のための改良されたノンエッチバック(non-etchback)金属間誘導体(IMD)プレーナ化層を形成するスピナーオンーガラス(spin-on-glass)(SOG)層を改良する処理に関し、さらに詳しくはスピナーオンーガラスを注入によって改良する処理に関する。

【0002】

【従来の技術】 現在の半導体基板の超大規模集積は一

3

部は高分解能フォトリソグラフィック技術の進歩と、基板上の種々な導電層と絶縁層のプラズマエッチングの進歩によるものである。しかし、これらの層(1つの層の頂部に他のパターン化層)における付着とパターンエッチングとの累積効果が他の場合には微視的なプレーナ基板に不規則な又は実質的に非プレーナな表面特徴を生じている。

【0003】これらの不規則な表面特徴が多くのプロセス問題と信頼性問題とを生じている。例えば、歪んだフォトレジスト画像、薄い金属オーバーステップ(over step)、不良な絶縁体被覆等が生じている。これらのトポグラフィック問題を最小にするための1つのアプローチは、次のレベルのパターン化層を受容するために表面のプレーナ性(planarity)を1つのレベルに維持するプロセスを提供することである。このプレーナ性必要条件は、表面トポグラフィック上の累積パターン化層のザラツキが非常に重度になりうる多層状金属材料レベル(metal lurgy level)において特に重要である。

【0004】金属間誘電体層をプレーナ化するために種々な方法が用いられている。幾つかの例には、バイアススパッタード(bias sputtered)酸化ケイ素の付着、例えばホスホシリケートガラス(PSG)及びボロホスホシリケートガラス(BPSG)のような、低温ガラスの流動、偏向プラズマ強化CVD(PECVD)等の技術を含む。しかし、これらの技術の多くは時間を要し、高価なプロセス装置を必要とする。

【0005】さらに最近では、スピナーオンーガラスが容易にプレーナ化することができるので、スピナーオンーガラスを用いた新しい技術がレベル間(interlevel)絶縁体の形成にますます用いられている。この種のガラスは付着方法とプレーナ化が比較的簡単であり、この方法は低コスト装置を用いるので、特に重要である。例えば、絶縁層はフォトレジストのスピンの被覆と同様に、液体前駆物質をスピン被覆することによって付着させる。次に、この層を乾燥させて、溶媒を除去して、ホットプレート又はオープン内で乾燥させて、層を硬化させて、無機酸化物を熱分解によって形成する。例えばシリケート又はシロキサンポリマーを含む溶媒から成る液体前駆物質のスピンの被覆層は、パターン化金属領域の間の溝を充填して、金属領域上の被覆層よりも厚くなり、パターン化金属層上の生成絶縁層に対してプレーナ化効果を及ぼす傾向がある。一般に、妥当なプレーナ性を得るためには数回の被覆が必要である。例えば、エン(D.L.Yen)の米国特許第5,003,062号はプレーナ化絶縁層の一部としてスピナーオンーガラス層を用いて多層状金属材料を形成する方法を述べている。

【0006】これらのスピナーオンーガラスはマルチレベル金属材料のために有効な絶縁体でありうるが、通常はアルミニウムから構成されるパターン化金属層にスピナーオンーガラスが接触して、腐食することを防止する

4

ために、例えば化学蒸着した(CVD)酸化ケイ素のようなバリアー絶縁層を加えることが必要である。さらに、バイア孔をCVD酸化ケイ素/スピナーオンーガラス層に形成して、上部金属層への接点を形成する場合には、内部での金属の劣化を避けるためにバイア孔内で露出されたスピナーオンーガラスから細心にガスを追い出すことが必要である。バイア孔内でのガス発生(out gassing)は硬化工程後にスピナーオンーガラス中に残留するか又は後の湿式加工(wet processing)中に吸収される水若しくはOH分子によると考えられる。この問題を解消するための低圧プロセスもエンの米国特許第5,003,062号によって述べられている。

【0007】バイア孔中にスピナーオンーガラスを含めることを避けるための1方法は、スピナーオンーガラス層をエッチバック(etchback)することである。このプロセスは金属領域上からスピナーオンーガラスを除去して、パターン化金属層の間の溝内の部分のみを残すエッチバックである。次に、CVD酸化物の封入(encapsulating)を用いて、IMDプレーナ化層を完成させる。幾つかのエッチバックプロセスがバティ(M.W.Batty)の米国特許第4,894,351号及びマレンダ(P.Merenda)の米国第4,826,786号によって述べられている。パターン化金属層の間の溝をスピナーオンーガラスで充填する他の例はヒュン(S.Hyun)等の米国特許第4,983,546号に述べられている。

【0008】これらのエッチバックプロセスはバイア孔内のガス放出を避けるが、付加的なエッチング工程を必要とし、これがエッチングに関連した新しい問題を導入することにする。例えば、ローディング効果(loading effect)とマイクロローディング効果(microlading effect)がエッチバック制御を困難にして、過剰エッチング又はプレーナ性低下を生ずる可能性がある。

【0009】スピナーオンーガラスのガス発生が信頼性問題を生ずることは産業界において十分に認識されているので、スピナーオンーガラスのこの性質を改良することが非常に必要とされている。この効果は、封入CVD層の間で露出されるスピナーオンーガラスにアルミニウムが接触するバイア孔において、最も顕著であり、一般にポイズニングバイア(poisoning via)として知られている。スピナーオンーガラスをその組成の調節によって改良しようとする最近の試みは報告されている。例えば、ホンマ(T.Homma)等は、J. Electrochem. Soc. 140巻, 7号, 1993年7月, 2047~2051頁において、基板上のSOGを処理して、改良するための室温におけるフルオロアルコキシラン蒸気の使用を報告している。不活性ガスの注入によるスピナーオンーガラス(SOG)硬化も米国特許第5,192,697号にレオン(J.H.K.Leong)によって報告されている。

【0010】半導体業界では、例えば、ガス発生問題を

5

有さないスピナーオンーガラスのような、費用効果的なプレーナ化方法を開発することが切望されている。基板上のスピナーオンーガラスの改良は有望なアプローチである。

【0011】

【発明が解決しようとする課題】多層状金属材料上のバ

イア孔内の水分のガス発生を解消する改良されたSOGを得るためのノンエッチバックスピナーオンーガラスプレーナ化プロセスを提供することが、本発明の主要な目的である。

【0012】簡単で、費用効果的な方法を維持しながら、優れた電氣的及び物理的性質を有するSOGを提供することが、本発明の他の目的である。

【0013】

【課題を解決するための手段】これらの目的によって、本発明はガス発生を解消し、その上、通常のSOG以上に物理的及び電氣的性質を改良するSOG層の新規な改良方法を提供する。この改良は半導体基板を被覆するスピナーオンーガラス(SOG)層中にフッ素イオンを注入することによって達成される。次に、このSOG層を高温において硬化させて、SOG層の性質の改良方法を完成させる。

【0014】集積回路デバイスの多層状金属材料上及び間のプレーナ化のための改良SOG層の使用方を述べる。この方法は内部に形成された、例えばFET又は二極性のような、デバイスを有する半完成集積回路を製造することによって、但し、基板の主要面上に相互連絡用の金属材料を形成する前に開始する。この基板は次に、集積回路デバイスを接触させ、連結するためのパターン化導電層を表面上に形成される。次に、テトラエチルオルトシリケート(TEOS)を用いて、例えばプラズマ強化化学蒸着(PECVD)によって、このパターン化金属層上に約2000Åの厚さを有する第1酸化ケイ素層を付着させることによってスピナーオンーガラスサンドイッチが開始される。酸化ケイ素層上に二重被覆層を用いることによって、約4000Å厚さのスピナーオンーガラス層を形成する。次に、SOG層に本発明によってフッ素イオンを注入する。この層を次に約425℃において30分間硬化させ、第2酸化ケイ素層を用いて、改良フッ素注入処理(FIT)SOGを有するスピナーオンーガラスサンドイッチ層を完成させる。

【0015】本発明の目的及び他の利点を添付図面に關連して好ましい実施態様においてさらに詳しく説明する。

【0016】図1をさらに詳しく説明すると、図1では半完成した単Nチャンネル金属酸化物半導体の電界効果形トランジスター(MOSFET)を説明する。第1工程シリーズは半導体基板10において半導体表面領域を他のこのような領域から単離するための誘電体単離領域の形成を含む。半導体基板は好ましくは<100>結晶

6

組織学的配向を有するケイ素から成る。説明と図面とを簡略するために、デバイス間の誘電体単離は部分的にのみ示し、これらは慣習的であるので、詳述しない。例えば、ケイ素半導体基板のある特定の表面部分を酸化から遮蔽し、次に露出した非遮蔽面を酸化して、非遮蔽領域においてケイ素表面中に実際に沈下する熱酸化物を成長させる1方法が、コーイ(E.Kooi)によって彼の米国特許第4,970,486号に述べられている。遮蔽されたケイ素は沈下した二酸化ケイ素又は電界酸化物パターン(Field Oxide pattern)FOX8によって囲まれたメサ(mesa)として残留する。次に、下記プロセスによってこのケイ素メサ中に半導体デバイスを形成することができる。

【0017】ケイ素基板10の表面を熱酸化して、所望のガス酸化物11厚さを形成する。好ましい厚さは約70~100Åである。ポリシリコン層12はLPCVD(低压化学蒸着)方法によって通常の厚さにまで付着したブランケットである。このポリシリコン層に通常の方法及び線量によってリン又はヒ素イオンをイオン注入して、ポリシリコン層を導電性にするか、又は約900℃の温度においてオキシ塩化リンをドーピングする。層の表面を熱酸化するか、又は化学蒸着プロセスを用いて、酸化ケイ素層13を形成する。層11、12及び13を、当該技術分野において通常行われるような、通常のリトグラフィーと異方性エッチング方法とによってパターン化して、図1に示すように、FOX8の表面又はその他の上にゲート電極と構造との所望のパターンを形成する。次に、通常の方法によって、MOSFETのソース/ドレイン構造を形成する。図1は基板又は孔にP⁺としてドーピングされたNチャンネルMOSFET集積回路を示す。しかし、PチャンネルFET集積回路デバイスがNチャンネル実施態様に与えた極性の代わりに反対の極性を単に用いることによって形成されることは当業者によって十分に理解されるであろう。同じ基板上にNチャンネルとPチャンネルの両方のデバイスを設けることによってCMOSFETを同様に形成することができる。

【0018】図1は例えば、N⁺ドーパントとしての基板中のデバイス領域、典型的にはソース/ドレイン領域14を示す。N⁺領域は当業者に周知であるようにイオン注入によって形成することができる。

【0019】次に、このパターンの表面上に不動態化層又は絶縁層16を形成する。この層は、例えば酸化ケイ素の薄層とボロホスホシリケートガラス(BPSG)、ホスホシリケートガラス(PSG)又は同様な絶縁層の非常に厚い層とのような、多層から構成することができる。これらの層の作用厚さ(operational thickness)は酸化物層としての約1000~2000Åと、BPSG又はPSGガラス層としての約5000~6000Å以上である。これらの層は低压若しくは大気圧において、

10

20

30

40

50

7

又はプラズマ強化反応室において化学蒸着によって典型的に付着させる。

【0020】絶縁構造を通してソース/ドレイン領域14まで接触窓孔(contact window opening)を形成する。通常のリトグラフィーとエッチング方法とを用いて、このパターンの孔を形成する。

【0021】次に、第1金属材料接触層20を構造の表面上と接触孔のパターン内とに付着させる。この金属材料は好ましくは約5500~6500Åの厚さを有するAl/0.8%Si/0.5%Cuである。しかし、他の可能な金属材料にはアルミニウム-ケイ素、二重ドーブド(dual-doped)ポリシリコン、ケイ化チタン、チタン：タングステン、窒化チタン及び化学蒸着タングステン並びにポリサイド(polycide)がある。この金属材料はdcマグネトロンスパッタリングによって付着させることができる。次に、この金属材料を通常のリトグラフィーとエッチング方法とによって所望の導電性ラインにパターン化して、図1の金属層20のパターンを形成する。

【0022】次に図2をさらに詳しく説明すると、スピナーオンーガラスサンドイッチプレナー化構造の通常の第1誘電性酸化ケイ素層22を第1金属材料パターン20上に形成する。これは典型的に約3000~4000Åの範囲内の厚さである。この後に、スピナーオンーガラス層24を形成する。ビヒクル又は溶媒中に懸濁させたスピナーオンーガラス材料を半導体ウェファ表面に付着させ、ウェファの回転的作用によってウェファ表面上に均一に展開させる。この材料は集積回路ウェファ表面のくぼみを充填する、すなわちプレナー化する。このビヒクル又は溶媒の大部分は低温焼成工程によって留去する。典型的に、100℃、175℃及び250℃の温度設定点を有する3種のホットプレートを連続的に配置する。持続時間は1分間/プレートである。典型的に、スピナーオンーガラス材料の二重被覆層を被覆する。この物質は典型的にシロキサンである。4000~4400Åの全体厚さに対して、各被覆層は約2000~2200Å厚さである。

【0023】スピナーオンーガラス(SOG)層が完成した後に、層24にフッ素イオンを本発明のイオン注入法によって注入する。このイオン注入は真空室内で実施する。1枚以上のウェファを真空室内の基台(pedestal)上にセットする。例えば水のような、冷却液を基台に通して循環させて、ウェファ温度を約50~75℃に維持する。この室を約 2×10^{-5} トルの温度に維持する。フッ素イオン(F⁻)をスピナーオンーガラス層24中に $3 \times 10^{15} \sim 5 \times 10^{15}$ イオン/cm²の好ましい線量で、特に 5×10^{15} イオン/cm²の線量で注入する。このイオンインプラントのエネルギーは約40~80KeVであり、例えばAllied Signal Corp.製のAs-211のようなシロキサン型材料では予

8

定される(projected)インプラント範囲は約1000~2000Åである。これらの条件下で好ましい注入時間は約40分間である。このスピナーオンーガラスを次に炉内で、約350~450℃の範囲内の温度において20~40分間、特に425℃の温度において30分間硬化させる。本発明のこのフッ素インプラント処理(FIT)SOGプロセスは、アルミニウム及びアルミニウム/銅合金に対する安全加工範囲をはるかに越える硬化温度においてのみ得られる優れた性質のスピナーオンーガラスを形成する。水分の脱離は問題にならず、後で実施例中で詳細を考察するときに明らかになるように、他の物理的及び電気的性質も優れている。

【0024】次に図3に関しては、二酸化ケイ素の第2層30の脱着を説明する。通常のリトグラフィーとエッチング方法とを用いて、スピナーオンーガラスサンドイッチ22、24、30を通して孔を穿孔する。孔中に沈積させた第2金属層36によって、第1金属層20への接触を形成する。通常のリトグラフィーとエッチング方法とによって、金属層36をパターン化して、この図3に示す所望のFET構造の構成を完成させる。スピナーオンーガラスサンドイッチの他の層を形成して、構造上に他の金属材料を使用することができることは当業者によって当然理解されるであろう。

【0025】本発明の重要な特徴を示し、FIT SOGプロセスによって形成された、この改良スピナーオンーガラスの物理的性質と電気的性質の両方が改良されることの理解を容易にするために、下記実施例を記載する。

【0026】

【実施例】

実施例

この実施例は8インチ<100>結晶組織学的配向ケイ素ウェファ上のスピナーオンーガラスの形成と、本発明のFIT SOG改良方法による加工とに基づく。対照ウェファは、比較を実施することができるように、同じ条件下で、フッ素イオンインプラントを用いずに加工した。Allied Signal Company(米国、カリフォルニア州、サンタクララ)製のシロキサン材料、As-211から成るスピナーオンーガラス材料を商業的被覆システムにおいて2層を被覆することによって付着させた、各被覆層が約2200Å厚さであり、裸の(bare)ケイ素試験ウェファ上に付着された。次に、ウェファを空気中で100℃、200℃及び300℃の上昇する温度において、各温度において1分間焼成し、溶媒を留去した。フッ素イオン(F⁻)を $3 \sim 5 \times 10^{15}$ 原子/cm²の線量及び40KeVのイオンエネルギーにおいて試験ウェファに注入した。対照ウェファには注入しなかった。次に、ウェファを425℃の温度において約30分間硬化させた。

【0027】屈折率を楕円偏光測定法(ellipsometry)に

9

よって測定し、通常のSOG(対照ウェファ)の1.40よりも高いFIT SOGの1.44の値は、改良されたFIT SOGフィルムがより緻密であることを示す。これは初期厚さと最終厚さとの差を初期厚さによって除し、100を乗じて算出したフィルムの収縮率測定とも一致する。改良FIT SOGフィルムの収縮率は20%であり、対照サンプルの僅か8%である収縮率よりも非常に大きかった。

【0028】次に、図4~11に関して、種々な試験の測定結果をさらに考察する。図4に関しては、200:1の比での水対塩酸の緩衝化酸化エッチング(BOE)溶液中でエッチングした、改良FIT SOGフィルム40の湿式エッチングは通常のSOGの被覆されたままの層42及び硬化SOG層44よりも非常に緩慢にエッチングされることが判明した。FIT SOGはPECVD酸化ケイ素層46よりも緩慢にエッチングされた。

【0029】次に、サイクルの加熱部分50とサイクルの冷却部分52としての図5に示した非改良SOGフィルムの応力測定値を、サイクルの加熱部分54と冷却部分56としての図6に示した改良FIT SOGフィルムの応力測定値と比較することによって、FIT SOG改良フィルムは圧縮応力を有することが判明し、非改良フィルムは応力下で伸張性(tensile in stress)であった。FIT SOGフィルムにおける応力は対照フィルムよりも絶対的な大きさでかなり低かった。フィルムを室温において10日間空气中に保持した後にも、熱サイクル応力測定を実施した。加熱部分60と冷却部分62とに関して図7に示した熱サイクル応力測定値が、酸素プラズマ処理後に、温度応力サイクルの加熱部分64と冷却部分66とに関して図8に示すように、有意な変化を示さず、このことはフィルムが水分を殆ど吸収しないか又は有意な量を吸収しないことを示唆する。

【0030】図9に示した残留ガス分析(RGA)によって応力結果を確認した、この場合に圧力対時間曲線70によって示すFIT SOGからの圧力上昇が、図9に示す曲線72によって示すような、非改良の又は通常のSOGに比べて有意差がなかった(insignificant)。応力測定はTencor Corp. (米国、カリフォルニア州、マウンテンビュー)製のTencor Filx-2320で実施し、残留ガス分析はUTI Corp. (米国、カリフォルニア州)製の残留ガス分析計で実施した。質量スペクトル分析は1E-9 Torr未満の圧力かつ約440℃のウェファ温度において実施した。

【0031】次に、図10ではFIT SOG方法を用いて、16Megのダイナミックランダム アクセスメモリー製品上に製造したアルミニウム相互接続(interconnection)を有するバイア構造のRC時定数に関する幾つかの電氣的測定値を、エッチバック方法によって製

10

造された同様な構造と比較して示す。種々なバイアサイズに関して、図10に数字82によって示す通常のエッチバックフィルムのRC値に比べて、図10の棒グラフに数字80によって示す、FIT SOGフィルムの一貫して低いRC値は、水分脱着が問題ではなく、ポイズン化バイア(poisoned via)が有意な問題ではないことを示唆する。

【0032】図11に示すように、数字90によって棒グラフに示すFIT SOG方法のバイア孔降伏(yield)は、数字92によって棒グラフに示すエッチバック方法のバイア孔降伏と同じであり、両方とも100%の降伏を有した。標準抵抗キャパシタンス(Resistance Capacitance)(RC) テスターを用いて、バイア孔直径0.5、0.6、0.7及び0.8 μm を有する特定のバイア孔試験構造上で性能を測定した。

【0033】本発明をその好ましい実施態様に関連して特に示し、説明したが、本発明の要旨及び範囲から逸脱せずに形状と詳細の種々な変化がなされうことは当業者によって理解されるであろう。

【図面の簡単な説明】

【図1】本発明の好ましい実施態様の概略断面図。

【図2】本発明の好ましい実施態様の概略断面図。

【図3】本発明の好ましい実施態様の概略断面図。

【図4】被覆したまま及び硬化後のフッ素注入処理(FIT) SOGと通常のSOGとのエッチング速度の比較を示す棒グラフ。

【図5】熱サイクル中の通常のシロキサンSOGとシロキサンFIT SOGとのフィルム応力のグラフによる比較。

【図6】熱サイクル中の通常のシロキサンSOGとシロキサンFIT SOGとのフィルム応力のグラフによる比較。

【図7】非処理層と酸素(02)プラズマ処理FIT SOGの両方に対する10日間後のFIT SOGの熱サイクリングのグラフによる比較。

【図8】非処理層と酸素(02)プラズマ処理FIT SOGの両方に対する10日間後のFIT SOGの熱サイクリングのグラフによる比較。

【図9】540℃の室温度における通常のSOGとFIT SOGとに関するH₂Oの脱着の残留ガス分析(RGA)のグラフによる比較。

【図10】エッチバックプレーナ構造とFIT SOG製構造とに関するRC時定数反応を示す棒グラフ。

【図11】種々なバイアサイズでのエッチバックとFIT SOG(非エッチバック)とに関するバイア%降伏を示す棒グラフ。

【符号の説明】

10. ケイ素基板

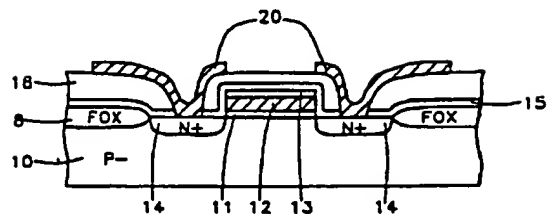
11. ゲート酸化物

12. ポリシリコン層

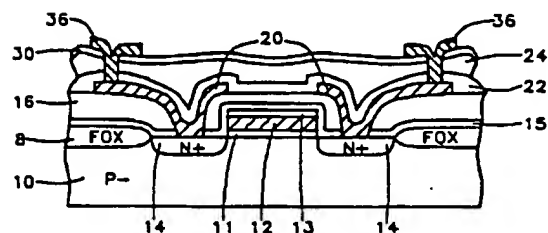
1 1

13. 酸化ケイ素層
14. ソース/ドレイン領域
16. 絶縁層
20. 第1金属材料接触層

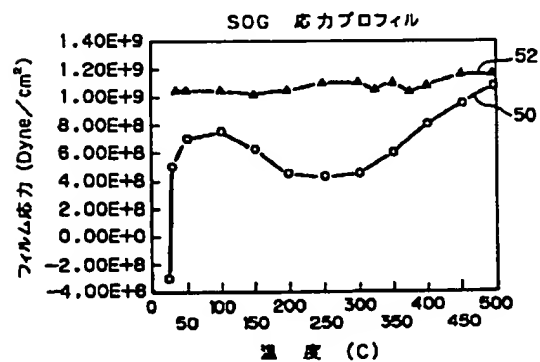
【図1】



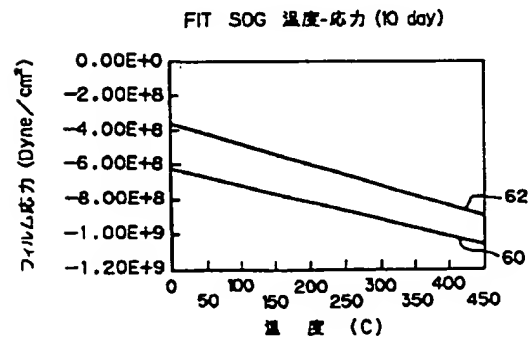
【図3】



【図5】



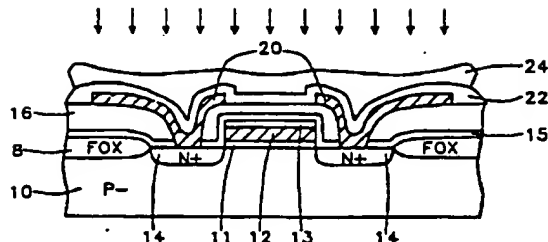
【図7】



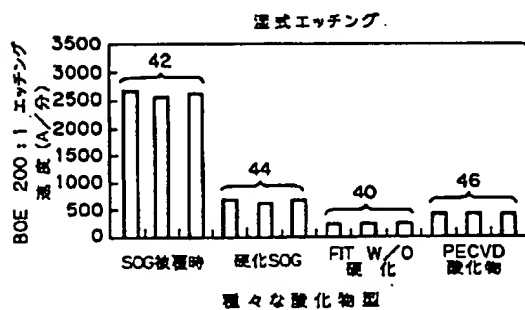
1 2

22. 誘電性酸化ケイ素層
24. スピン-オン-ガラス層
30. 第2酸化ケイ素層

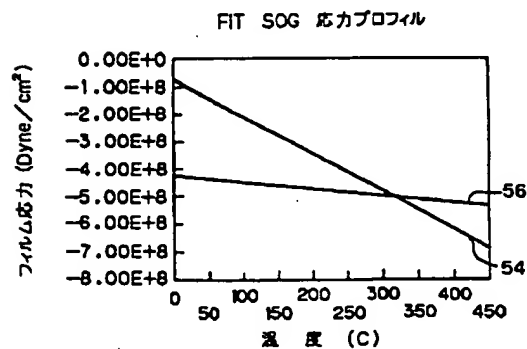
【図2】



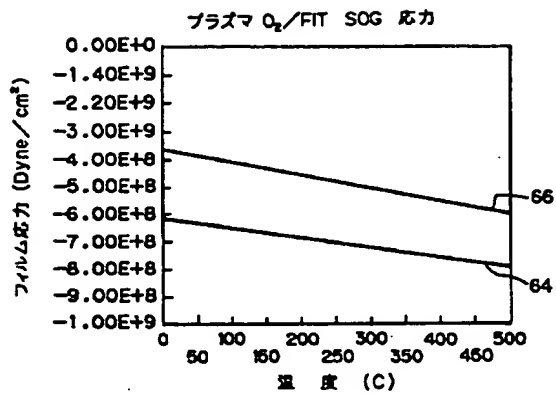
【図4】



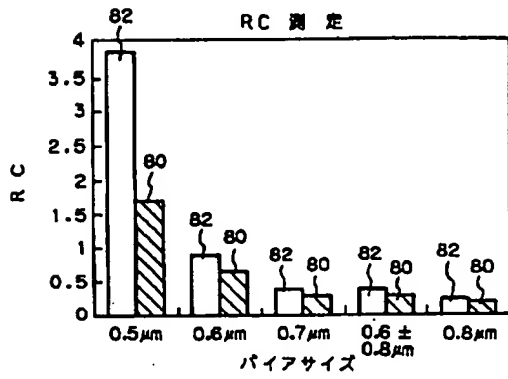
【図6】



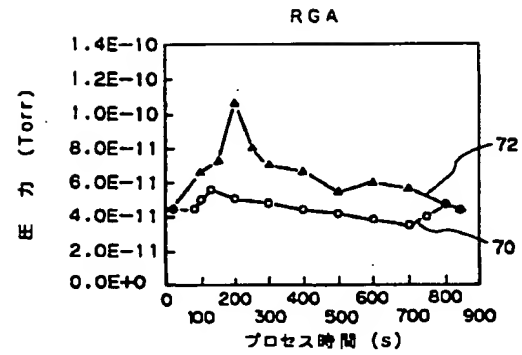
【図8】



【図10】



【図9】



【図11】

